

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-037418

(43)Date of publication of application : 07.02.1990

(51)Int.Cl.

G06F 3/06

G06F 12/00

G06F 12/08

(21)Application number : 63-185599

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.07.1988

(72)Inventor : INOMATA HIROFUMI

YAMAMOTO AKIRA

SATO TAKAO

KITAJIMA HIROYUKI

KURANO AKIRA

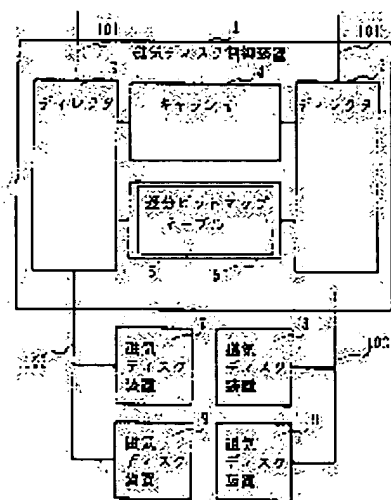
HONMA SHIGEO

(54) DATA MATCHABILITY CONTROL SYSTEM FOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To reduce the control table volume and the control program volume and to accept an N-fold write request during troubling by dividing contents stored in a storage device by an arbitrary unit and providing a difference bit map table indicating whether postwrite data reflects on the storage device or not with respect to each unit.

CONSTITUTION: When both of N-fold write and postwrite are designated, data is stored in a cache 4, and respective bits of a difference bit map table 6 corresponding to write destinations of N-fold write storage devices 7 and 8 are set, and respective corresponding bits are cleared when data stored in the cache 4 is written in storage devices 7 and 8. N-fold write and postwrite functions are managed by the difference bit map, and unitary management is possible. Since difference information for all data in N-fold write storage devices 7 and 8 is managed by the difference bit map table 6 in the N-fold write mode, a two-fold write request can be accepted against the trouble, by which data cannot be written in a part of N-fold write storage devices 7 and 8, by reflection on the difference bit map table 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-37418

⑬ Int. Cl.⁵G 06 F 3/06
12/00
12/08

識別記号

3 0 4 E
3 0 2 B
3 2 0

庁内整理番号

6711-5B
8944-5B
7010-5B

⑭ 公開 平成2年(1990)2月7日

審査請求 未請求 請求項の数 6 (全6頁)

⑮ 発明の名称 記憶装置のデータ整合性制御方式

⑯ 特 願 昭63-185599

⑰ 出 願 昭63(1988)7月27日

⑱ 発 明 者 猪 股 宏 文 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑲ 発 明 者 山 本 彰 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑳ 発 明 者 佐 藤 孝 夫 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉑ 発 明 者 北 嶋 弘 行 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

記憶装置のデータ整合性制御方式

2. 特許請求の範囲

1. 記憶装置と、該記憶装置への後書き機能を有するバッファ（キャッシュ）付き記憶制御装置より成るシステムにおいて、記憶装置内に記憶を任意の単位に分割し、該単位毎に後書きデータが記憶装置に反映されているか否かを示す差分ビットマップテーブルを設けたことを特徴とする記憶装置のデータ整合性制御方式。

2. 上記のシステムにおいて、N（Nは、2以上の整数）重書き機能を実現するため、N重書き記憶装置のN台に対応する差分ビットマップテーブルからN重書き記憶装置間のデータの差異の有無を計算によつて求めることを特徴とする請求項第1項記載の記憶装置のデータ整合性制御方式。

3. 上記システムにおいて、N重書きモード中に記憶装置への書き込み、要求をN重書き記憶装置

の個々に受付け、N重書きの対となる相手の記憶装置の書き込み先に対応する差分ビットマップテーブルのビットをセットし、該相手の記憶装置に対して該データを書き込まないモードを設けたことを特徴とする請求項第2項記載の記憶装置のデータ整合性制御方式。

4. 上記システムについて、障害及び保守のためN重書き不能となつた場合、1つの記憶装置にのみ書き込み、他の記憶装置へはデータを書き込まず、上記請求項第三項のモードで運転し、障害復旧又は保守終了後に差分ビットマップテーブルを参照し、差異の存在するデータのみをコピーすることによりN重書き記憶装置間のデータを高速に一致させるモードを設けたことを特徴とする請求項第3項記載の記憶装置のデータ整合性制御方式。

5. 上記のシステムにおいて、障害復旧又は保守終了時にN重書きを継続させるモードを設けたことを特徴とする請求項第4項記載の記憶装置のデータ整合性制御方式。

6. 上記システムにおいて、差分ビットマップテーブルを不揮発性メモリに割付けたことを特徴とする請求項第5項記載の記憶装置のデータ整合性制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、N重書き及び後書き機能を有するバッファ付き記憶制御装置における記憶装置の制御方式に関する。

〔従来技術〕

従来、記憶制御装置においてN重書き機能の制御方式として関連するものには例えば特開昭61-208119号、同61-249132号、同81-208119号等が挙げられる。

また、後書き機能の制御方式として関連するものには例えば特開昭61-240320等がある。

〔発明が解決しようとする課題〕

上記従来技術は、N重書きと後書き機能の一元管理の点について配慮がされておらず、別々の管理体制にて実現され制御テーブル量及び制御プロ

グラム量に問題があつた。また、N重書きモード中、障害又は保守により、N重書き二次記憶装置の片方のみしかホストインタフェースからのデータを書込めなくなつた場合のN重書き要求の対応の点について配慮されておらず、該障害中のN重書き要求の拒否の問題点があつた。

本発明の目的は、N重書きと後書き機能を一元管理し、制御テーブル量及び制御プログラム量を減し、かつ、前記障害中にN重書き要求を受け付けられるようにすることにある。

〔課題を解決するための手段〕

上記の目的は、キャッシュ付き記憶制御装置に対し、記憶装置内の記憶のある単位毎にホストインタフェースから受取つたデータが反映されているか否かの情報を格納する差分ビットマップテーブルとN重書きの対となる記憶装置の識別番号を格納する対情報テーブルを設えることにより、達成される。

〔作用〕

N重書きの要求があると、書込みデータをN重

書き記憶装置の1つに書込み、同時にキャッシュに書込む。このとき、未書込みの次記憶装置への書込み先に対応する差分ビットマップテーブルのビットをセットし、キャッシュ内に格納しておいた該データが記憶装置に書込まれたときに該ビットをクリアする。

また、後書き要求があつた場合、後書きにデータをキャッシュに格納し、記憶装置内の書込み先に対応する差分ビットマップテーブルのビットをセットし、キャッシュに格納しておいたデータが記憶装置に書込まれたとき該ビットをクリアする。N重書きと後書きの両方が指定されると、データをキャッシュに格納し、N重書き記憶装置の個々の書込み先に対応する差分ビットマップテーブルの各々のビットをセットし、キャッシュに格納した該データが記憶装置に書込まれるときにそれぞれの対応ビットをクリアする。

キャッシュに格納しておいたN重書きまたは後書きデータの存在は、差分ビットマップを参照することで判別する。

それらによつて、N重書きと後書き機能は差分ビットマップにより管理できるようになるので、一元管理することができる。

N重書きモード時、差分ビットマップテーブルによりN重書き記憶装置内の全てのデータについて差異の情報を管理するので、N重書き記憶装置の一部がデータを書込めないような障害に対して、二重書き要求を差分ビットマップテーブルに反映することにより、受け付けられるようにできる。

〔実施例〕

以下、本発明の実施例を第1図により説明する。

先ず、本発明の構成を説明する。1は磁気ディスク制御装置、2、3は磁気ディスク装置及びキャッシュ、差分ビットマップテーブル、対情報テーブルを制御するディレクタ、4はキャッシュで二重書きデータを格納するデータバッファとしても用い、5は不揮発性の共有メモリ、6は磁気ディスク装置内のトラック毎にホストインタフェースから受取つたデータが反映されている否かの情報を格納する差分ビットマップテーブル、7、8

は二重書きの対となっている磁気ディスク装置、9は磁気ディスク装置である。

101は、ホストと命令及びステータス、データ等を転送するためのホストインタフェース線、102, 103は磁気ディスク装置7, 8, 9と磁気ディスク制御装置1の間にあり、命令及びステータス、データ等を転送するデバイスインタフェース線である。

次に各々の動作について、二重書きの場合を例として説明する。

動作1

二重書きモードにおいて(第2図)、ホストインタフェースから書き込みデータホストインタフェース線101を介してディレクタ2に受取られると、デバイスインタフェース線102を介して磁気ディスク装置7に該データを書き込むと同時にキャッシュに該データを格納して、二重書き磁気ディスク装置の対となる相手磁気ディスク装置8への書き込み先トラックに対応する差分ビットマップテーブル6のビットをセットする。

二重書きかつ後書きモードにおいて(第4図)、ホストインタフェースから書き込みデータをホストインタフェース線101を介してディレクタ2が受取ると、該データをキャッシュに格納し、二重書き磁気ディスク装置7, 8のそれぞれの書き込み先トラックに対応する差分ビットマップテーブル6のビットをそれぞれセットする。

ある起動で、ディレクタ2, 3はそれぞれ差分ビットマップテーブルを参照し、磁気ディスク装置7, 8, 9内のトラックについてホストインタフェースから受取ったデータで未反映であるキャッシュ内のデータをデバイスインタフェース線102, 103を介して磁気ディスク装置7, 8, 9に書き込み、該データを磁気ディスク装置7, 8に反映する。

動作4

二重書きモードでキャッシュが障害を起した場合(第5図)、ホストインタフェースから書き込みデータをホストインタフェース線101を介してディレクタ2が受取ると、該データを磁気ディスク

ある起動によりディレクタ3は、差分ビットマップテーブル6を参照し、磁気ディスク装置8, 9内のトラックについてホストインタフェースからのデータで未反映であるキャッシュ内のデータをデバイスインタフェース線103を介して磁気ディスク装置8, 9に書き込み、該データを磁気ディスク装置8に反映する。

動作2

後書きモードにおいて(第3図)、ホストインタフェースから書き込みデータがホストインタフェース線101を介してディレクタ2に受取られると、キャッシュ4に該データを格納する。

ある起動によりディレクタ2は、差分ビットマップテーブル6を参照し磁気ディスク装置7, 9内のトラックについてホストインタフェースから受取ったデータで未反映であるキャッシュ4内のデータをデバイスインタフェース線102を介して磁気ディスク装置7, 9に書き込み、該データを磁気記憶装置9に反映する。

動作3

ク装置7に書き込み、二重書きの対となる相手の磁気ディスク装置8の書き込み先トラックに対応する差分ビットマップテーブル6のビットをセットする。該相手磁気ディスク装置8への該データの書き込みはキャッシュ障害中に行わない。

キャッシュが復旧すると、ある起動で、ディレクタ2は差分ビットマップテーブル6を参照し磁気ディスク装置7に正しいデータが反映され磁気ディスク装置8には未反映かつキャッシュに格納されていない磁気ディスク装置7のトラックデータをデバイスインタフェース線102を介して磁気ディスク装置7からキャッシュに格納する。この後、通常の二重書きモードと同様、ディレクタ3によりデバイスインタフェース線103を介して該データの磁気ディスク装置8への書き込みを行う。

また、信頼性の面から不揮発性共有メモリは二重化する。

本実施例によれば、二重書きと後書き機能の一元管理が可能となり、キャッシュ障害中、ホスト

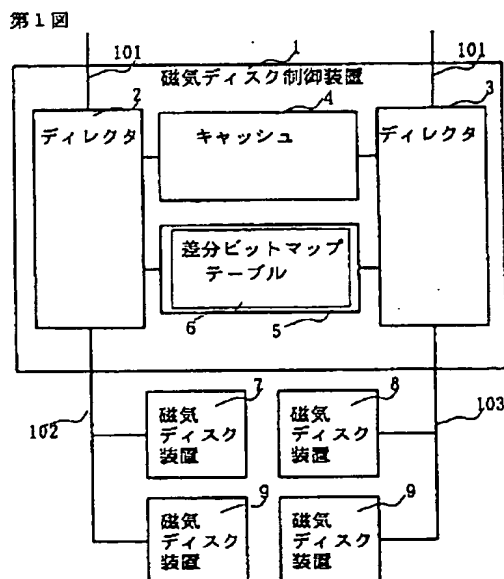
インタフェースから二重書き要求を受け付け可能にし、障害復旧時の二重書き二次記憶装置間のデータの整合を高速に行い二重書きを継続できるようにする効果がある。

〔發明の效果〕

本発明によれば、N重書きと後書き機能に関する整合性を一元管理できるので、制御プログラムの量の低減の効果がある。また、障害又は保守によりN重書きデータがN重書き記憶装置の一部の記憶装置に反映できない場合にも、N重書き要求を受け付けることができるので、業務を続行できるという効果がある。障害復旧後又は保守終了後には、差分ビットマップを用いることにより高速にN重書き記憶装置間のデータの整合を取れ、N重書きモードを続行できる効果がある。

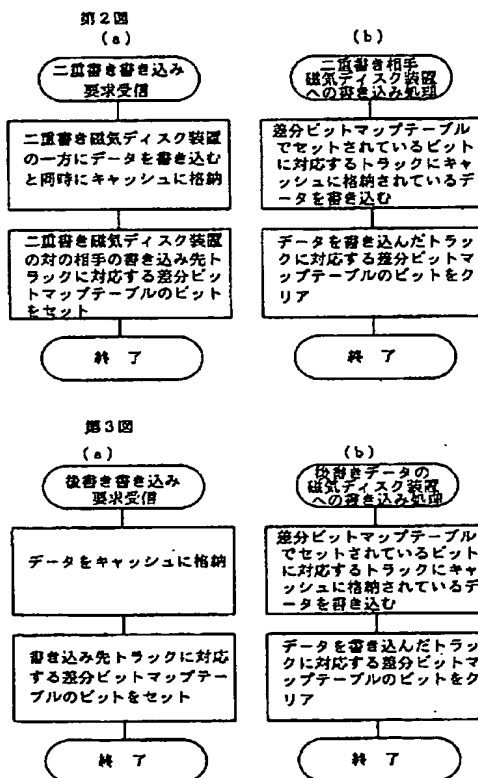
4. 図面の簡単な説明

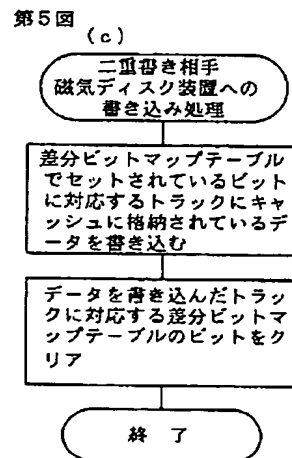
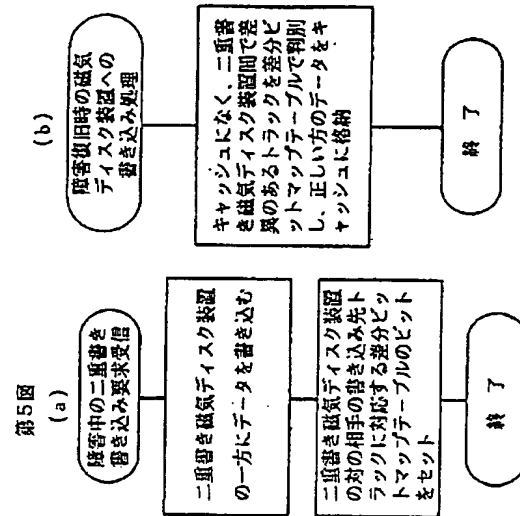
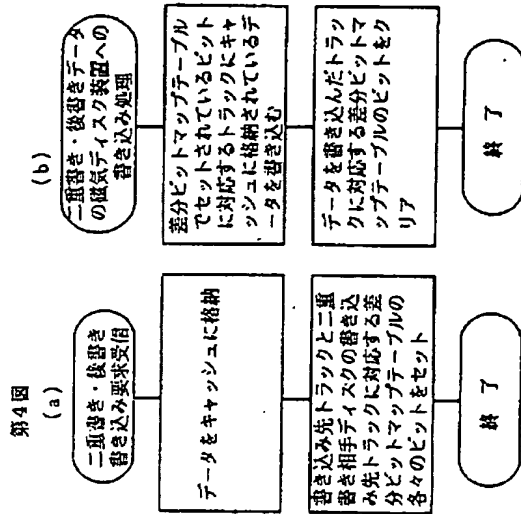
第1図は、本発明の実施例のI/Oサブシステムのブロック図、第2図、第3図、第4図、第5図は本発明の実施例における差分ビットマップテーブルの管理を説明するフロー図である。



1…磁気ディスク制御装置、2、3…ディレクタ、
4…キヤツシュ、5…不揮発性共有メモリ、6…
差分ビットマップテーブル、7、8…二重書き磁
気ディスク装置、9…磁気ディスク装置、101
…ホストインタフェース線、102、103…デ
バイスインタフェース線。

代理人 弁護士 小川勝男





第1頁の続き

⑫発 明 者	倉 野	昭	神奈川県小田原市国府津2880番地 株式会社日立製作所小 田原工場内
⑫発 明 者	本 間	繁 雄	神奈川県小田原市国府津2880番地 株式会社日立製作所小 田原工場内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成8年(1996)10月18日

【公開番号】特開平2-37418

【公開日】平成2年(1990)2月7日

【年通号数】公開特許公報2-375

【出願番号】特願昭63-185599

【国際特許分類第6版】

G06F 3/06 304

12/00 533

12/08 320

【F I】

G06F 3/06 304 E 7323-5B

304 Z 7323-5B

12/00 533 Z 7608-5B

12/08 320 7608-5B

手続補正書

平成 7 年 6 月 12 日

特許庁長官 殿

事件の表示

昭和63年特許願第185599号

発明の名称

記憶装置のデータ整合性制御方式

補正をする者

事件との関係 特許出願人

名称 (510) 株式会社 日立製作所

代理人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所 内
電 話 東京 3213-1111 (大代表)

氏 名 (8850) 弁護士 小川 隆 男



補正の対象

明細書の「特許請求の範囲」、及び「発明の詳細な説明」の項。

補正の内容

1. 明細書の「特許請求の範囲」の項を別紙の通り補正する。
2. 明細書第3頁13行目の「、同61-208119号」との記載を削除する。
3. 明細書第5頁第11行目の「書込みれた」を「書込まれた」と補正する。
4. 明細書第5頁第8行目の「二重書き」を「N重書き」と補正する。
5. 明細書第7頁第13行目の「書き込みデータ」を「書き込みデータが」と補正する。

以 上

肩 紙

特許請求の範囲

1. 記憶装置と、該記憶装置とホストとの間のデータ転送を制御し、前記記憶装置と前記ホストとの間で転送されるデータを一時的に保持するバッファを備えた制御装置とを含んで構成される記憶装置システムのデータ整合性制御方式において、前記記憶装置の領域を予め定められた大きさの記憶単位に分割しておき、前記制御装置に、前記記憶単位のそれぞれに対応するビットマップテーブルを設け、前記ホストから前記記憶装置へのデータの書き込み要求に応じて、前記記憶装置に書き込むべきデータを前記バッファに格納し、前記データが書き込まれるべき前記記憶装置の記憶単位に対応する前記ビットマップテーブルのビットをセットし、前記書き込み要求とは非同期に前記データを前記記憶装置に書き込み、前記データを前記バッファから前記記憶装置に書き込んだ後、前記ビットマップテーブルの該当するビットをクリアすることを特徴とするデータ整合性制御方式。

2. 複数の記憶装置と、該複数の記憶装置とホストとの間のデータ転送を制御する制御装置とを含んで構成され、前記制御装置が、前記ホストから書き込み要求のあったデータを前記複数の記憶装置に多重化して格納するよう構成された記憶装置システムのデータ整合性制御方式において、各記憶装置内の領域を所定の大きさの記憶単位に分割しておき、前記制御装置に、前記複数の記憶装置のそれぞれに対応し、それぞれ対応する記憶装置内の記憶単位に対応したビットがセットされるビットマップテーブルを設け、前記制御装置は、前記ホストから前記記憶装置へのデータの書き込み要求に応じて、前記複数の記憶装置の中の一部の記憶装置にデータを書き込み、前記データの書き込みが行なわれなかった他の一部の記憶装置に対応するビットマップテーブルのビットをセットし、前記書き込み要求とは非同期に、前記ビットマップテーブルを参照し、前記他の一部の記憶装置の前記データが反映されていない記憶単位を認識し、該認識した記憶装置内の記憶単位への反映されていないデータの書き込みを行なうことを特徴とするデータ整合性制御方式。

3. 前記制御装置は、前記複数の記憶装置と前記ホストとの間で転送されるデー

タを一時的に保持するバッファを有しており、前記書き込み要求に応じて、前記一部の記憶装置へのデータの書き込みと共に、前記バッファへのデータの書き込みを行なうことを特徴とする請求項2記載のデータ整合性制御方式。

4. 前記反映されていないデータの書き込みは、前記バッファに保持されたデータを用いて行なうことを特徴とする請求項3記載のデータ整合性制御方式。

5. 前記バッファに障害が生じた際、該バッファの障害中は前記反映されていないデータの書き込みを中止し、前記障害が回復した後、前記他の一部の記憶装置に対応する前記ビットマップを参照して、前記反映されていないデータを該データの書き込みが行なわれた前記一部の記憶装置から読み出し、読み出したデータを前記他の一部の記憶装置の該当する記憶単位に書き込むことを特徴とする請求項4記載のデータ整合性制御方式。